

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-331582

(43)Date of publication of application : 02.12.1994

(51)Int.Cl.

G01N 27/02

(21)Application number : 05-117057

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.05.1993

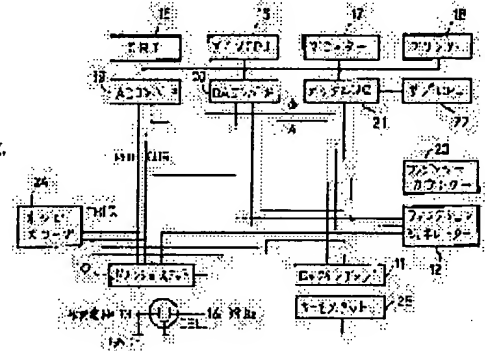
(72)Inventor : TSUBOI NOBUYUKI
MATSUOKA TOMIZO

(54) METHOD FOR EVALUATING GENERATION OF DEFECT OF ANODE OXIDE FILM

(57)Abstract:

PURPOSE: To obtain a thin-film transistor with a high yield finally by anode-oxidizing the generation of a pin hole (defect) occurring in anode oxidation and at the same time measuring it in real time and then eliminating a substrate where the pin hole is generated.

CONSTITUTION: When manufacturing a gate insulation film formed on the surface of the gate electrode of a thin-film transistor, a small AC voltage is superposed on the DC voltage from a potentiostat 10 from a function generator 12. Then, impedance is measured by a lock-in amplifier 11, thus observing, in real time, the state where a change occurs in the film due to generation of a pin hole halfway during generation of an anode oxide film or that where a target film is not generated due to causes other than the pin hole within the film and hence eliminating non-conforming articles and preventing short-circuiting between a gate and a source from occurring.



LEGAL STATUS

[Date of request for examination] 07.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3154588

[Date of registration] 02.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 基板上にアルミニウムを主成分とする金属薄膜を形成し、前記金属薄膜上に所定のパターンのゲート電極を得るためのレジストを形成し、エッチングにより前記ゲート電極を形成した後、前記ゲート電極の表面を直流定電圧電源を用いて陽極酸化するとき、前記直流電圧に微小な交流電圧を重畳し陽極酸化膜の膜質の変化、欠陥の発生に応じたインピーダンスの変化を測定することを特徴とする陽極酸化膜の欠陥発生の評価方法。

【請求項2】 交流電圧として正弦波を使うことを特徴とする請求項1記載の陽極酸化膜の欠陥発生の評価方法。

【請求項3】 陽極酸化膜の膜質の変化、欠陥発生に対応したインピーダンスの変化を電圧の変化として見ることを特徴とする請求項1記載の陽極酸化膜の欠陥発生の評価方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、軽量、薄型で視認性が優れ、OA機器の端末ディスプレイとして最適である液*

オーミックコンタクトをとるための n^+a-Si (半導体層)6および画素電極7

【0005】、ソース、ドレイン電極8、9により構成されていた。ここで、ゲート絶縁膜3である陽極酸化膜は完全にゲート電極2の表面に均一に生成するわけではなく、ゲート電極2の表面の状態により、密な部分と疎な部分が生成し、疎な部分が陽極酸化膜にかかる電界(最高6MV/cm)によって破壊され、そこが欠陥(以下、ピンホールという)として残ることがあり、またピンホールにならなくても後のプロセス(例えば、P-CVDの熱)で欠陥となり、それが最終的にゲート、ソース間ショート(以下、GSショートという)の一要因になることがあった。

【0006】

【発明が解決しようとする課題】 上記従来技術において、ゲート電極2の表面を陽極酸化することにより得られる Al_2O_3 (アルミナ)をゲート絶縁膜3として利用していたが、得られる絶縁膜は完全ではなく、しばしばピンホールを生じることがあり、これらが結果的にGSショートの発生原因になることがあった。

【0007】 ここで、陽極酸化後に第2のゲート絶縁膜4として $SiNx$ を堆積するが、この第2のゲート絶縁膜4は緻密ではなく多孔質であり、陽極酸化膜に生じたピンホールを抑えることができず、したがって陽極酸化膜のピンホールによると思われるGSショートを減らし歩留まりを上げるためには、陽極酸化膜形成途中に生じるピンホールを何らかの方法で見つけ出すことが考えられる。

【0008】 しかし、陽極酸化プロセス中に発生したピンホールを評価する測定系がないため、従来ではピンホ

*晶表示素子に用いられる薄膜トランジスタの陽極酸化膜の欠陥発生の評価方法に関するものである。

【0002】

【従来の技術】 近年、非晶質シリコン薄膜トランジスタ(amorphous Silicon Thin Film Transistor 以下、 $a-Si TFT$ と略す)をスイッチング素子として用いたアクティブマトリクス基板と、このアクティブマトリクス基板を用いた液晶ディスプレイ(LCD: Liquid Crystal Display)は、 $a-Si TFT$ が高いスイッチング比を持つこと、ガラス基板が利用できる低温工程で製造できる等の特徴があり、大面積、高精細化に対して最も有利な方法と考えられており、各社で研究、開発が活発に行われ製品化されている。

【0003】 図4は薄膜トランジスタの構造を示す模式断面図であり、これはガラスや石英など、表面が絶縁膜からなる基板1上にアルミニウム(Al)を主成分とした金属膜からなるゲート電極2、ゲート電極2上に陽極酸化によるゲート絶縁膜3、第2のゲート絶縁膜($SiNx$)4、非晶質シリコン薄膜トランジスタ($a-Si$)5、

【0004】

【外1】

【0005】 $a-Si$ (半導体層)6および画素電極7

ールが発生している基板1も最終工程まで流れ、不良となり歩留まりの低下、すなわちコストの上昇を招く要因になるという問題があった。

【0009】 本発明は、上記陽極酸化中に起こるピンホールの発生を陽極酸化すると同時にリアルタイムで測定し、ピンホールの発生した基板を除くことにより最終的に歩留まりの高い薄膜トランジスタを提供することを目的とする。

【0010】

【課題を解決するための手段】 本発明は上記課題を解決し、目的を達成するため、基板上にアルミニウムを主成分とする金属薄膜を形成し、前記金属薄膜上に所定のパターンのゲート電極を得るためのレジストを形成し、エッチングにより前記ゲート電極を形成した後、前記ゲート電極の表面を直流定電圧電源を用いて陽極酸化するとき、前記直流電圧に微小な交流電圧を重畳し陽極酸化膜の膜質の変化、ピンホールの発生に応じたインピーダンスの変化を測定することを特徴とする。

【0011】 そして、前記直流電圧に重畳する微小な交流電圧は正弦波を用い、このときの陽極酸化膜の膜質の変化、ピンホール発生は、それに対応したインピーダンスの変化を電圧の変化として見るようにしたものである。

【0012】

【作用】 本発明によれば、直流電圧に微小な交流電圧を重畳して陽極酸化膜を形成する。これにより、陽極酸化膜のインピーダンスの変化が電圧の変化としてリアルタイムで測定でき、膜質の変化、ピンホールの発生による

酸化膜表面の状態が観察でき、陽極酸化膜のピンホールによるGSショートが発生を事前に防止することができ

【0013】

【実施例】図1は本発明方法を実施する陽極酸化膜の膜質およびピンホール発生測定装置の構成図である。図1において、本実施例に直接関係するブロックとして、10は直流安定化電源としてのポテンシオスタット、11は陽極酸化膜の膜質の変化、ピンホールの発生に対応したインピーダンスの変化を電圧の変化として測定するロックインアンプ、12は微小な交流電圧をポテンシオスタット10からの直流電圧に重畳する交流電圧発生用のファンクションジェネレーター、13は作用電極、14は作用電極13に対する対極である。その他、CRT15、メインCPU16、プロッター17、プリンター18、ADコンバータ19、DAコンバータ20、デジタルI/O21、サブCPU22、フレッグンシーカウンター23、オシロスコープ24およびサーモスタット25を有する。

【0014】次に測定装置の動作を、前記図4に示す薄膜トランジスタの構造を示す模式図を参照しながら説明する。

【0015】まず、ゲート絶縁膜3の製造方法は、スパッタリングによりガラス基板等からなる透光性絶縁物の基板1上にAl薄膜を堆積させ、次にゲートパターンを得るためのレジストパターンを形成し、フォトリソ、エッチングによりゲート電極2を形成する。次に陽極酸化を行うが、従来の方法として直流安定化電源を用い、図5に示す定電流上昇定電圧化成の電流電圧曲線に示すように、一定の電流I(mA)で所定の電圧V(v)まで印加し、その耐圧を持つ絶縁物である Al_2O_3 を生成させ、所定電圧Vになった時点で電流Iが十分小さくなるまで(エージング)、その電圧で一定に保つ定電流上昇定電圧化成という手法によりゲート絶縁膜3を製造していた。

【0016】このような直流安定化電源を用い、電圧を一定の傾きで上昇させ、所定電圧の耐圧を持つ Al_2O_3 を生成し、所定電圧に到達した時点で電流が十分小さくなるまで、その電圧を一定に保つという前記図5に示す定電流上昇定電圧化成における電流を規制する方法と異なり、本発明の実施例では、図2に示す直流電圧に交流電圧を重畳したときの電圧曲線図に示すように、電圧を規制するという方法で陽極酸化を行う。このとき、前記図1に示してある測定装置を使用する。

【0017】直流安定化電源として定電位電界装置(ポテンシオスタット)10を用い、電位を一定の傾きで変化できるようにプログラム可能な設定電位可変装置(ポテンシアルプログラマー)を接続し、任意の傾きで電位を上昇できるようにする。この電位の傾きは定電流上昇定電圧化成時に見られる電位の上昇と同じ傾きになるようにした。例えば、 $5mA/cm^2$ で陽極酸化を行うと、電位上昇の傾きは約 $25V/sec$ となり、この傾きで電位を変

化させた。

【0018】次に、微小な交流電圧を重畳するためにファンクションジェネレーター12をポテンシオスタット10に接続し、電圧振幅10mVの正弦波交流電圧を重畳する。このとき注意しなければならない点として、重畳交流電圧は大きい方が測定誤差、ノイズに対して有利であるが、反応系を乱すおそれがあるので、できる限り小さくして、なおかつ測定可能な電圧を選ぶ必要がある。本実施例では、直流印加電圧が比較的高いので上記のような電圧とした。

【0019】次いで、ゲート絶縁膜3である陽極酸化膜のインピーダンスを測定するためにロックインアンプ11をオシロスコープ24に接続し、ポテンシオスタット10からの信号と、ロックインアンプ11からの信号を記録するためにADコンバータ19を介してX-Yレコーダーに接続する。本実施例では、前記ポテンシアルプログラマー、X-Yレコーダーとして汎用マイクロコンピュータ(メインCPU16)を用い、測定の簡便化、データ処理の簡便化を図った。

【0020】最後に電解系であるが、陽極酸化槽(図略)に電解液として酒石酸アンモニウムなどの有機カルボン酸塩とエチレングリコールを体積比5:5~1:9の範囲で混合し、液温を30~40℃の範囲で設定する。次いで、ポテンシオスタット10に作用電極13としてゲートをパターニングした基板、対極14を接続し、陽極酸化槽に入れ、陽極酸化を開始すると同時に交流によるインピーダンス測定も行う。

【0021】ここで、測定の基本的な概念について説明する。

【0022】図1に示した測定装置で、対極14と作用電極13の電位はポテンシアルプログラマーとポテンシオスタット10によって規制する。ここで、電圧振幅 $V_{pp}=5\sim10mV$ 程度の交流をファンクションジェネレーター12によって重畳する。この電位規制の様子は前記図2に示す通りである。

【0023】電位走査を行うとき、作用電極13に流れる電流は、直流電流と交流電流の和である。電流計によって電圧に変換された信号の直流成分から電流-電位曲線が得られ、交流成分からインピーダンス成分が得られる。このインピーダンス測定では、電位の変化に伴う抵抗成分の逆数(アドミタンスY)との関係を表すY-V曲線と、電位に対する電流の位相のずれを表す ϕ -V曲線(理想的コンデンサの場合90度となり、この値に近いほど生成した陽極酸化膜は絶縁膜として完全であると考え)を測定した。本実施例では、この2つの測定により陽極酸化膜の膜質の変化、欠陥の発生について評価した。

【0024】一例として、上記の方法で陽極酸化した場合の各測定結果を示す。

【0025】図3(a)は電流-電位曲線である。電位を

プラスの方向に印加すると、ある電位で電流 I (mA) が急激に立ち上がりピークを示した後、一定の電流を示し、所定の電圧に達すると直ちに電流が減少し、漏れ電流と呼ばれる数 μ A 程度のわずかな電流が流れる。ここで電流が急激に上昇する電位は、A1 表面に存在する自然酸化被膜を破壊する電位であり、定電流法にみられる電位の急激な立ち上がりと等しい。また、電位と電流の関係は定電流法における電流と電位の関係と等しい。したがって、定電流法によって生成した酸化被膜と定電位法によって生成した被膜は同質と考えられる。

【0026】次に、インピーダンス測定した結果を図3(b), (c)に示す。図3(c)に示した $Y-V$ 曲線で、電位走引初期から図3(a)におけるピークの電位までアドミタンス成分 Y が増加し、その後は電位の増加と共に減少し所定の電位に達した後も減少し続ける。これは、電位の上昇とともに酸化被膜が生成し、抵抗成分が増加したと考えられ、所定の電圧に達した後も減少していることから、エージングにおいて所定の耐圧の酸化被膜が、より密になっていくと考えられる。

【0027】次に、図3(b)の $\phi-V$ 曲線で、位相のずれは電位走引初期から急激に減少し、電位とは無関係に一定の位相差 ϕ を示し、所定の電位に達した後は、徐々に位相差が増加して一定の位相差となる。このことからエージングによって酸化被膜が、より完全なものに変わっていくことがわかる。

【0028】したがって、図3(c)の $Y-V$ 曲線においてアドミタンス成分 Y の挙動が異なったり、エージング後も十分に小さくならない、あるいは図3(b)の $\phi-V$ 曲線において位相の挙動が異なる、エージング後も位相差が小さいなどの違いが見られたら酸化被膜の生成時に何らかの変化が生じたか、ピンホールが生じたと考えてよい。このとき、酸化被膜にピンホールが発生、あるいは膜質に変化があった場合、従来の定電流法での電流-電位曲線では全くわからなかったが、本発明方法では Y

6... n^+a-Si (半導体層)、
9...ドレイン電極、10...ポテンショスタット、11...ロックインアンプ、12...ファンクションジェネレータ

$-V$ 曲線、 $\phi-V$ 曲線と標準からのずれを見ることによって即座に見分けることができる。

【0029】上記の方法で陽極酸化を行った資料のうち、標準と著しく異なった資料について陽極酸化膜の耐圧を測定するためにゲートパターン上に電極を配線し、1資料につき10万ドットのマトリクスをつくり、電極間に電圧を0Vからショートする瞬間まで印加した結果、明らかにインピーダンス測定で異なる挙動を示していた資料は耐圧が低く不均一であった。この結果から、異常と思われる資料を除き薄膜トランジスタを製作した結果、GS ショートは1/3程度に減少し、最終的な耐圧もむらもなく良い値を示した。このピンホールの低減は不良を事前に除去した効果と考えられる。

【0030】

【発明の効果】以上説明したように本発明によれば、陽極酸化時にピンホールが発生したと思われる基板を除くことにより、薄膜トランジスタの陽極酸化膜原因のGS ショートが減少し、この方法によって得られた薄膜トランジスタアレイの歩留まりが向上した。

【図面の簡単な説明】

【図1】本発明方法を実施する測定装置の構成図である。

【図2】本発明方法による直流電圧に交流電圧を重ねたときの電圧曲線図である。

【図3】本発明方法による測定結果を示した図である。

【図4】薄膜トランジスタの構造を示す模式断面図である。

【図5】従来の定電流上昇電圧化成の電流電圧曲線図である。

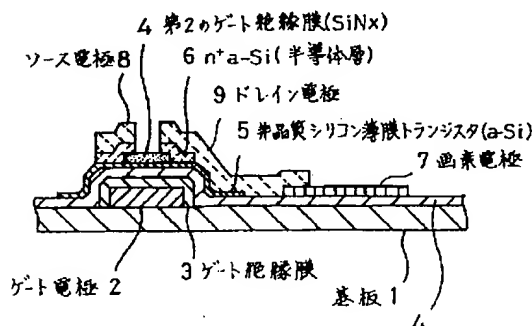
【符号の説明】

1...基板、2...ゲート電極、3...ゲート絶縁膜、
4...第2のゲート絶縁膜($SiNx$)、5...非晶質シリコン薄膜トランジスタ($a-Si$)、

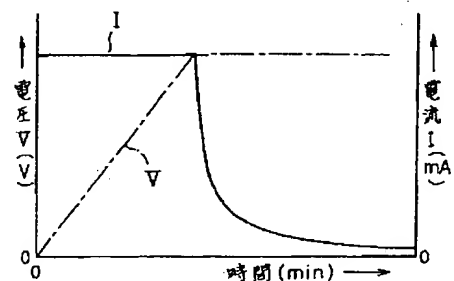
【外2】

6... n^+a-Si (半導体層)、7...画素電極、8...ソース電極、
9...ドレイン電極、10...ポテンショスタット、11...ロックインアンプ、12...ファンクションジェネレータ

【図4】



【図5】



Block diagram of the control system for a scanning electron microscope. The diagram shows the interconnections between various components:

- 15** CRT
- 16** メインCPU (Main CPU)
- 17** プロッター (Plotter)
- 18** プリンター (Printer)
- 19** ADコンバータ (AD Converter)
- 20** DAコンバータ (DA Converter)
- 21** デジタルI/O (Digital I/O)
- 22** サブCPU (Sub CPU)
- 23** フルゲンシーカウンター (Fluorescence Counter)
- 24** オシロスコープ (Oscilloscope)
- 25** サーモスタート (Thermistor)
- 10** ポテンショスタート (Potentiometer Start)
- 11** ロックインアンプ (Lock-in Amplifier)
- 12** ファンクションジェネレーター (Function Generator)
- 13** 作用電極 (Operating Electrode)
- 14** CELL (Cell)
- 15** 対極 (Counter Electrode)
- 16** GND (Ground)
- 17** TRIG (Trigger)
- 18** POT. (Potential)
- 19** CUR. (Current)
- 20** A. (Amplitude)
- 21** φ (Phase)

The graph shows voltage (V) on the vertical axis and time (min) on the horizontal axis. The voltage starts at the origin (0,0) and increases linearly with a positive slope. After a certain point, the voltage begins to oscillate, forming a series of peaks and valleys around a constant average value.

(a) Graph showing current I (mA) versus time (min). The current starts at 0, rises to a peak, then drops to a steady-state value, and finally returns to 0.

(b) Graph showing current I (mA) versus time (min). The current starts at a value ϕ , drops to a steady-state value, and then rises to a higher steady-state value.

(c) Graph showing current I (mA) versus time (min). The current starts at a value γ , rises to a peak, and then decays to 0.